

DERWENT-ACC-NO: 1979-48103B

DERWENT-WEEK: 197926

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Solder material for bonding to semiconductor substrate -
comprising lead, tin or their alloys, with a coating of
gold, rhodium, silver or copper

PATENT-ASSIGNEE: MATSUSHITA ELECTRONICS CORP[MATE]

PRIORITY-DATA: 1977JP-0130057 (October 28, 1977)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 54062949 A	May 21, 1979	N/A	000	N/A

INT-CL (IPC): B23K035/00

ABSTRACTED-PUB-NO: JP 54062949A

BASIC-ABSTRACT:

Solder for bonding a semiconductor substrate to its suspension means is of Pb, sn or an alloy thereof and the overall surface of the solder is coated with a film of a metal having ionisation tendency smaller than that of the solder metal to a thickness 0.01-0.03 μ .

The coated film may be of Au or Rh and also Ag or Cu which is oxidised in the air but easily reduced with the hydrogen used when bonding of the solder material is performed. The film not only keeps the surface of the solder material being bonded clean but also reduces the surface tension in the fused state to facilitate uniform soldering to the bonding surface. Uniform thickness of the solder material is provided and good bonding free of cavities is obtd.

TITLE-TERMS: SOLDER MATERIAL BOND SEMICONDUCTOR SUBSTRATE COMPRISE
LEAD TIN

ALLOY COATING GOLD RHODIUM SILVER COPPER

DERWENT-CLASS: L03 M23 P55

CPI-CODES: L03-D03F; M23-A01;

⑫公開特許公報(A)

昭54—62949

⑪Int. Cl.²
B 23 K 35/00識別記号 ⑫日本分類
12 B 22庁内整理番号 ⑬公開 昭和54年(1979)5月21日
7362—4 E発明の数 1
審査請求 有

(全 3 頁)

⑭半導体基板接着用鍍材

門真市大字門真1006番地 松下
電子工業株式会社内

⑯特 願 昭52—130057

⑰発 明 者 水越寛二

⑱出 願 昭52(1977)10月28日

門真市大字門真1006番地 松下
電子工業株式会社内

⑲発 明 者 谷生隆信

⑳出 願 人 松下電子工業株式会社

門真市大字門真1006番地 松下
電子工業株式会社内

門真市大字門真1006番地

同 横沢真観

㉑代 理 人 弁理士 中尾敏男 外1名

明 細 書

1. 発明の名称

半導体基板接着用鍍材

2. 特許請求の範囲

(1) 鉛、錫あるいはこれらを主体とする合金からなる鍍材主体の表面全域が、これらの金属よりもイオン化傾向が小さい金属の薄膜で被覆されてなることを特徴とする半導体基板接着用鍍材。

(2) 鍍材主体の表面を覆う金属の薄膜が0.01～0.03μmの厚さに選定されてなることを特徴とする特許請求の範囲第1項に記載の半導体基板接着用鍍材。

3. 発明の詳細な説明

本発明は、半導体基板を基板支持体へ接着するため使用する鍍材に関する。

半導体装置を組み立てるにあたり、その構成主体である半導体基板は一般に放熱板を兼ねる基板支持体へ鍍材によって接着される。この鍍材による接着に際しては、できうる限り効果的に放熱がなされるような接着状態をうるべく、半導体基板

の接着面を金属化すること、基板支持体表面に鍍材となじみのよい金あるいは銀の層を形成すること、基板支持体の形状を改善すること、接着条件ならびに鍍材の組成を改善することなど種々の角度からの対策がなされている。しかしながらこのような対策を講じてもおお接着がなされたのちの鍍材層の厚みの均一性は必ずしも十分でなく、また、鍍材層内に気泡が残留する不都合を排除することは困難であった。

ところで、接着用鍍材層の厚みが不均一で、しかも接着用鍍材層内に気泡の存在する状態で接着がなされた半導体装置では、その性能が最大限に活かされず、例えば安全動作領域が狭くなるなどの不都合をきたす。

本発明は上記の不都合を排除するべくなされたもので、接着用鍍材層の厚みの不均一性ならびに気泡の残留が接着初期の鍍材の形状、とりわけ鍍材の熔融開始時における形状によってもたらされることが、すなわち、接着前における鍍材の形状がどのようなものであったとしても、その熔融開始

時に一旦球状となりこののち被接着物間の接着がなされ、したがって鍍材が球状となった時に酸化物がその表面に集り、このことによって上記の不都合がもたらされることの確認に立脚してなされたものである。

以下に図面を参照して本発明の鍍材について詳しく説明する。

第1図は本発明の鍍材の構造を示す断面図であり、図示するように、鉛(Pb)、錫(Sn)あるいはこれらを主成分とする合金からなる鍍材本体1と、この鍍材本体となる金属よりもイオン化傾向が小さい金属例えば金、銀、銅あるいはロジウムなどの金属膜からなる被覆層2とで構成されている。かかる構造の本発明の鍍材では被覆層2が鍍材の表面張力を低下させるとともに、鍍材本体1の酸化を防止するべく作用して半導体基板と基板支持体間の接着面全域に対する鍍材のなじみが均一化される。なお、上記の被覆層2を金あるいはロジウムの膜としたときには、これらの金属が空气中に長時間放置されても殆んど酸化しないため

鍍材の酸化が防止され、極めて良好な接着状態が得られる。

一方、被覆層2を形成する金属を銀あるいは銅としたときには、空气中に長時間放置すると被覆層に酸化が生じる。しかしながらこれらの金属の酸化物は接着時に使用する水素(H_2)ガスによって容易に還元され、接着時の状態は金あるいはロジウムにより被覆層を形成した鍍材の状態と殆んど変わらないものとなる。

以上説明してきた本発明の鍍材を用いて半導体基板の基板支持体への接着をなすならば、接着時の鍍材表面を清浄に保つことができるのみならず、溶融時の表面張力を低下させ、接着面に対する鍍材のなじみを均一化することもでき、したがって鍍材の厚みが均一でしかも空洞のない接着状態をうることができる。

ところで、本発明の鍍材における被覆層2の厚みは、 $0.01 \sim 0.03 \mu m$ 程度であることがのぞましい。

すなわち、被覆層の厚みが $0.01 \mu m$ 以下である

と鍍材の取り扱い中における摩擦等によって被覆層が剝離するおそれがあり、所期の効果が奏されなくなる。一方、厚みが $0.03 \mu m$ 以上になると接着時の加熱処理では被覆層の鍍材本体中への溶け込みが不十分となること、あるいは鍍材の融点が高くなることなどの不都合が生じ、良好な接着状態が得難くなる。これらの問題を排除するためには被覆層の厚みを上記の範囲に定めることが大切となる。

第2図は、以上説明してきた本発明の鍍材と従来の鍍材を用いてシリコンパワートランジスタ素子(4mm角)を基板支持体へ接着した場合の熱抵抗(Rth)の比較結果を示す図であり、本発明の鍍材はPb 60%、Sn 40%の半田板に金めっき法により $0.01 \mu m$ の厚さの金膜を形成したもの、また、従来の鍍材は上記の金膜形成のなされていないものである。第2図から明らかなように、本発明の鍍材を用いて基板接着を行った場合、熱抵抗Rthのばらつきは従来の鍍材を使用した場合に比べて著るしく小さくなり、また、熱抵抗

Rthそのものも低くなる。

第3図は、さらに安全動作領域(ASO)について比較した結果を示す図であり、Aは本発明の鍍材を用いて基板接着のなされたシリコンパワートランジスタのASOを、Bは従来の鍍材を用いて基板接着のなされたシリコンパワートランジスタのASOを示す。この図から明かなように安全動作領域も大幅に改善される。

以上説明してきたように、本発明の鍍材を使用して半導体基板の接着を行うならば、接着用鍍材層の厚みが均一化され、かつ、接着用鍍材層中に気泡(空洞)が残留する不都合が排除された良好な接着状態をうることができ、半導体装置の特性を向上させることができる。

なお、以上の説明は一例を挙げてなされたのであるが、鍍材としては、Pb、Snあるいはこれらを主成分とする合金よりなる鍍材主体にこれらよりイオン化傾向の小さい金属からなる被覆層が形成されるならば組合せの如何にかかわらず前述したと同様の効果をうることができる。さらに、接

着される半導体基板も他の半導体装置例えばダイオード、サイリスタあるいは半導体集積回路用の基板であってもよいこと勿論である。

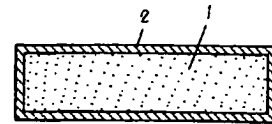
4、図面の簡単な説明

第1図は本発明の一実施例にかかる鍍材を示す断面図、第2図は本発明の鍍材と従来の鍍材により基板接着のなされたシリコンパワートランジスタの熱抵抗(R_{th})の比較結果を示す図、第3図は同じく安全動作領域の比較結果を示す図である。

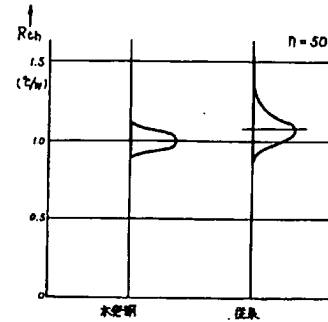
1 鍍材主体、2 金属膜。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



第 3 図

